

引用格式:胡孔阳,胡海生,刘小明.三模冗余在高性能抗辐射 DSP 中的应用[J].微电子学与计算机,2019,36(3):58-60.
[HU Kong-yang, HU Hai-sheng, LIU Xiao-ming. The application of TMR on the high performance and anti radiation DSP [J]. Microelectronics & Computer, 2019, 36(3): 58-60.]

三模冗余在高性能抗辐射 DSP 中的应用

胡孔阳,胡海生,刘小明

(中国电子科技集团公司 第三十八研究所,安徽 合肥 230088)

摘 要:单粒子翻转(SEU, single event upset)是当高能粒子击中半导体元器件时,引起逻辑发生“0”“1”改变,进而导致逻辑错误的现象.在诸如外太空等电磁辐射恶劣的环境中,芯片常常会受到 SEU 的破坏,由于高性能的 DSP 规模较大,这种情况发生的概率会更高.针对 SEU 发生的原理,在抗辐射 DSP 结构上可以采取多种加固技术.本文基于国产高性能 DSP“魂芯”的架构,从可测性和工程性的角度出发,提出了对片上 SRAM 存储器的加固方案.通过对 SRAM 采用自刷新和三模冗余技术,可以对 SEU 进行有效的抑制.

关键词:单粒子翻转;DSP;存储器加固;自刷新;三模冗余

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2019)03-0058-03

The application of TMR on the high performance and anti radiation DSP

HU Kong-yang, HU Hai-sheng, LIU Xiao-ming

(No. 38 Research Institute, China Electronics Technology Group Corporation, Hefei 230088, China)

Abstract: Single event upset is something when high energy particles hit the semiconductor device, it will cause the ‘1’‘0’ transformation, and cause errors. In the harsh environment such as outer space, the chip will always be destroyed by SEU, the probability of this situation is higher since the larger scale of high performance of DSP. In view of SEU principle, anti radiation DSP will adopt a variety of reinforcement schemes. This article is based on the domestic high performance DSP ‘HunXin’ architecture, from the perspective of testability and engineering, puts forward the scheme of SRAM reinforcement on chip. Through the self-refresh and trip modular redundancy technology, SEU can be effectively suppressed.

Key words: single event upset; DSP; memory reinforcement; self-refresh; trip modular redundancy

1 引言

高性能抗辐射 DSP 采取的加固技术有时间冗余、空间冗余、空间交织和自刷新等.对于存储器、寄存器堆来说,通常采用多模冗余技术来抑制 SEU,其中三模冗余采用的最多.即对同一个寄存器或存储地址单元扩展三个备份,将写入的数据分别存入三个备份单元中,在读取数据时将三个备份单元中的数据送入判决器,对存储的数据进行多数判决后

送到输出端口.

针对由 SEU 引起的存储器单比特错误,还要求系统在检测到错误的同时可以正确的修正错误,以避免更多的错误在时间上进行累加.对于自刷新电路,用户可以通过软件配置的方式,根据用户关心的存储区域及空间辐射强度,设置存储器刷新的起始地址、结束地址及刷新频率,降低不必要的能耗损失.

2 三模冗余在流水线中的结构

“魂芯二号 A”硬件体系结构中内含 48 Mbit 单口 SRAM^[1],位于内核流水线 DC4 和 AC 之间. 该 SRAM 由 96 个 16 k×32 bank 组成,支持内核访存请求、DMA 访存请求和核间访存请求同时并发访问,如图 1 所示.

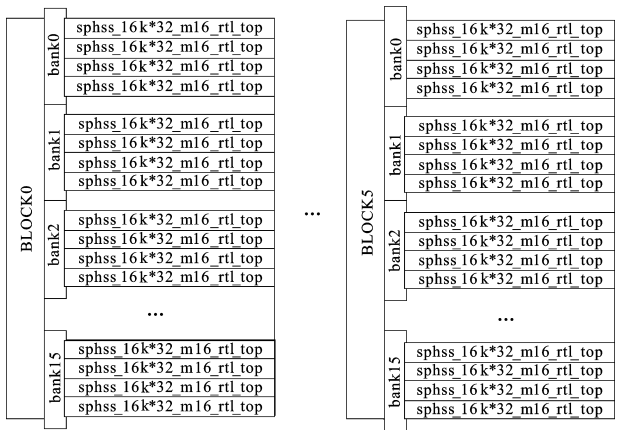


图 1 48 Mbit SRAM 结构

如图 2 所示,对于同一时刻访问相同 bank 的多个微请求,需要经过仲裁逻辑,保证只有一个微请求可以获得访问权限(ACK=1),其余请求则会被阻塞(ACK=0). 内核访存、DMA 访存和核间访存经过多请求仲裁后,以避免 bank 冲突且最多有效请求个数的形式输出读写 bank 请求,后经寄存器输入至 48 MbitSRAM. 读 SRAM 输出的数据经过寄存后,由数据分发模块将数据分发至相应的读请求通道.

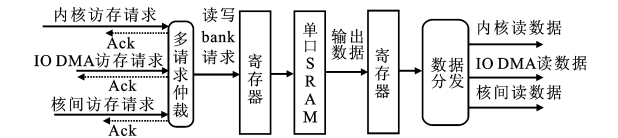


图 2 “魂芯二号 A”内核存储器流水线结构

为了防止单粒子翻转,SRAM 存储器加固三模冗余设计原理如图 3 所示,相较非三模冗余流水线结构的主要变化如下:(1)增加了刷新逻辑,与内核访存请求、IO DMA 请求和核间访问请求位于相同流水级;(2)将之前的单口 SRAM 拷贝相同的三份,并将前级寄存器输出的读写请求信号分别连接至相同的 bank 端口,即每个读写请求会导致三个单口 SRAM 产生相同的动作;(3)增加了三模判决模块,该模块目的是针对读 SRAM 输出的数据进行筛选,采用的判决原则是“大多数相同即为真”. 同时对于

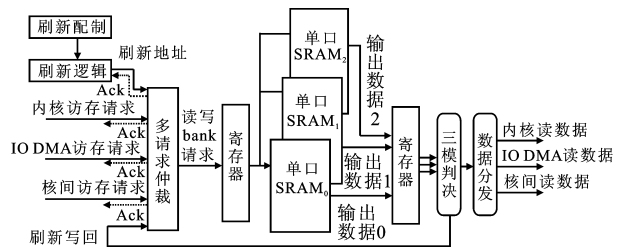


图 3 抗辐射“魂芯”三模冗余存储器结构

“少数”不相同的数据,还需要执行修正操作,即写回至 SRAM 对应地址.

3 三模判决实现

表 1 列出了三模判决的各种情况及相应的处理方法.

表 1 三模判决及处理方法

	SRAM ₀	SRAM ₁	SRAM ₂	
Care ₁	A	A	A	不回写
Care ₂	A	A	B	回写 sram ₂ A
Care ₃	A	B	A	回写 sram ₁ A
Care ₄	B	A	A	回写 sram ₀ A
Care ₅	A	B	C	发生异常中断

情况一:SRAM₀,SRAM₁,SRAM₂ 均输出相同的值 A,则选取 A 输出至后级模块,不执行回写操作.

情况二、三和四:SRAM₀,SRAM₁,SRAM₂ 中出现一个与其余两个输出的值不同(两个 A 和一个 B),此时认为输出值为 B 的 SRAM 发生了单粒子翻转,则选取多数相同的值(A)输出至后级模块,并对发生错误的 SRAM 地址执行回写(A).

情况五:SRAM₀,SRAM₁,SRAM₂ 输出的值两两不同,此时三模判决发生失效,系统无法恢复正确的数据,则发生异常中断.

对于回写操作,由于同样需要访问单口 SRAM,可能会引发访问 bank 冲突. 设计将回写操作参与多请求仲裁逻辑,因为回写是修正 SRAM 中发生的错误,将其优先级设为最高.

4 自刷新电路实现

刷新逻辑独立于内核访存请求、DMA 访存请求和核间访存请求,通过逐周期对连续地址空间进行三模判决并修正错误内容,可以有效减小由于单

粒子翻转产生的时间累加错误. 由于刷新逻辑需要占用 SRAM 其中一个 bank 的访问端口, 为保证 DSP 内核和外设的正常工作, 将刷新逻辑的读请求参与多通道仲裁, 并将其优先级设为最低^[2].

刷新逻辑主要包含配制寄存器和状态机两部分. 配制寄存器包括: 刷新开关(enable)、刷新起始地址(start adr)和结束地址(end adr). 状态机如图 4 所示.

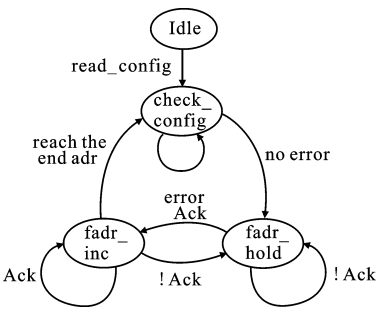


图 4 刷新状态机

5 功能验证及可控的错误注入

要检验采用硬件加固的 SRAM 在缓解空间 SEU 方面的效果, 需要设计高效的、贴近原型设计的性能评价系统. 对于在系统结构级采取抗 SEU 设计的处理器而言, 如何验证设计的正确性和有效性非常关键. 这种验证, 不是把整个处理器设计完成后再进行验证, 而是在处理器设计的同时就进行局部的可靠性验证性.

SRAM 三模冗余逻辑验证^[3-4]方法如图 5 所示, 分为 DUT(design under test)和 TB(testbench)两部分. DUT 即为三模冗余 SRAM, TB 包含: 随机读写访问、单粒子模拟、软件模拟器、数据比对和覆盖率收集. 其中随机读写访问主要模拟内核、DMA 和核间访存请求; 单粒子模拟使用 UVM 工具, 强制 SRAM 中的随机地址发生单比特错误来模拟辐射环境中的单粒子翻转; 软件模拟器是“魂芯”系统级验证平台中所开发的, 它利用 C 语言构建 DSP 硬件行为, 用于周期精确地模拟内核流水线及存储器的动作, 在本设计验证中可以用于产生 SRAM 中的正确读写数据; 读数据比对和 SRAM 内容比对使用

Perl 脚本, 用于自动化对比数据, 保证设计的正确性.

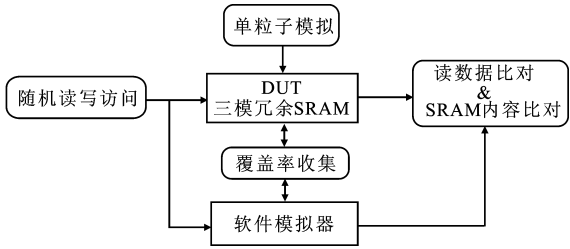


图 5 SRAM 三模冗余验证框图

6 结束语

在存储器抗辐射理论研究中广泛存在三模、五模甚至九模冗余, 对于设计高性能抗辐射 DSP 而言, 除了要具有一定抗 SEU 能力, 更要保证处理器具有相对较高的性能表现. 三模冗余相较而言, 具有更少的资源开销和更低的功耗, 对于芯片开发流程中的后端物理设计更是可以减小存储器连线延时并提高芯片工作的主频, 是一种可工程化的、现实的存储器加固手段.

参考文献:

[1] 陈楠, 魏廷存, 魏晓敏, 等. 抗单粒子翻转效应的 SRAM 研究与设计[J]. 固体电子学与进展, 2013, 33 (10):491-496.

[2] 王一奇 赵发展, 刘梦新. 基于 RHBD 技术的深亚微米抗辐 SRAM 电路的研究[J]. 半导体技术, 2012, 37 (1):17-23.

[3] 徐鑫龙. 抗辐射 SRAM 测试系统的设计与实现[J]. 中国集成电路, 2016, 3(5):50-54.

[4] 赵义新. SRAM 辐射效应测试装置的研制与应用[J]. 核电子学与探测技术, 2006, 26(4):414-417.

作者简介:

胡孔阳 男, (1986-), 硕士, 工程师. 研究方向为数字集成电路设计与验证. E-mail:hukongy123@163.com.

胡海生 男, (1983-), 博士, 高级工程师. 研究方向为数字集成电路设计与验证.

刘小明 男, (1981-), 硕士, 高级工程师. 研究方向为数字集成电路设计与验证.